

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Vacuum chuck for holding semiconductor wafer in IC prodn. process - has grooves on resin plate placed on chuck NoAbstract Dwg 1,2/4

PRIORITY-DATA: 1988JP-0045836 (March 1, 1988)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP <u>01222450</u>	A September 5, 1989	N/A	000	N/A

Kofayashi

DOCUMENT-
IDENTIFIER:

JP 01222450 A 100

TITLE:

CHUCKING FOR SEMICONDUCTOR WAFER IN
MANUFACTURING PROCESS OF IC

PUBN-DATE:

September 5, 1989

INVENTOR-INFORMATION:

NAME COUNTRY
KOBAYASHI, KAZUO

1026-(7-9)

ASSIGNEE-INFORMATION:

NAME COUNTRY
SHIBAYAMA KIKAI KK N/A

APPL-NO: JP63045836

APPL-DATE: March 1, 1988

INT-CL (IPC): H01L021/304 , H01L021/30 , H01L021/68

US-CL-CURRENT: 269/21

ABSTRACT:

PURPOSE: To improve significantly a working efficiency without damaging wirings and the like by a method wherein a resin plate adhering to a substrate by fitting the wirings and a wiring terminal, which are formed on the substrate, into grooved holes formed in the resin plate is placed on the upper surface of a vacuum sucking chuck and the substrate of an IC is vacuum-sucked by a vacuum sucking mechanism provided in the vacuum sucking chuck.

CONSTITUTION: When wirings 2 and a wiring terminal 2a, which are formed on a substrate 1, are fitted into grooved holes 4 formed in a resin plate 3 to cohere the plate 3 with the substrate 1 and the plate 3 is placed on the upper surface of a chuck C turning the rear of the substrate 1 to the upper direction and is vacuum-sucked from the lower direction of the chuck C, the plate 3 is sucked, a negative pressure is applied to the surface of the substrate 1 by the holes 4 provided penetratingly in the plate 3 and the substrate 1 is sucked to the side of the chuck C along with the plate 3. As parts, which project somewhat from the surface of the substrate 1, of the wirings 2 and the terminal 2a are fitted into the holes 4 of the plate 3, the wirings 2 are never damaged by the negative pressure and a grinding pressure and a working efficiency can be significantly improved.

⑫ 公開特許公報(A)

平1-222450

⑤ Int. Cl.⁴H 01 L 21/304
21/30
21/68

識別記号

3 1 1

庁内整理番号

Y-8831-5F
A-7376-5F
P-7454-5F

④ 公開 平成1年(1989)9月5日

審査請求 未請求 請求項の数 1 (全4頁)

⑥ 発明の名称 ICの製造工程における半導体ウエハのチャック方法

⑦ 特 願 昭63-45836

⑧ 出 願 昭63(1988)3月1日

⑨ 発 明 者 小 林 一 雄 東京都港区港南3丁目5番16号 芝山機械株式会社内

⑩ 出 願 人 芝山機械株式会社 東京都港区港南3丁目5番16号

明 細 書

1. 発明の名称

ICの製造工程における

半導体ウエハのチャック方法

2. 特許請求の範囲

表面へ配線及び配線端子を露出させて形成した半導体ウエハの基板の裏面を平面研削するための真空吸着チャックへのチャック方法であって、

前記基板の表面へ導電性の金属配線及び配線端子を写真蝕刻法によって形成するためのマスク、又は、前記基板の表面へ形成された導電性の金属配線及び配線端子を写真蝕刻法によってマスクを形成し、該何れかのマスクへ単一光を照射させて平坦な光硬化性樹脂板へ前記配線及び配線端子と同形の回路状の溝孔を稍巾広に貫設すると共に、平面研削盤に備えた有孔物質から成る真空吸着チャック上面に前記樹脂板の溝孔へ前記配線及び配線端子を嵌入し前記基板を合着させて載置し、前記真空吸着チャックに設られた真空吸着機構で前記基板を真空吸着することを特徴とするICの製

造工程における半導体ウエハのチャック方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ICの製造工程において平面研削盤等の真空吸着チャック機構の上面へ半導体ウエハの基板をチャックする方法に関するもので、詳しくは半導体ウエハの表面へ数回の製造工程を加えて、導電性の金属による例えばアルミ蒸着させて写真蝕刻法によってアルミ等の所要な金属配線を形成した後に半導体ウエハの基板の裏面を更に平面研削してICの極薄化を図るためのチャック方法である。

(従来技術とその問題点)

周知の如く、ICは例えば2mm角のシリコン結晶片の上にトランジスタや抵抗等の回路素子を1000個以上も含んだ回路を70mmφのシリコンウエハの中に数百個も製造することができ、然も、写真蝕刻の技術によって、精密なネガを作成することによって、無限に複製することが可能である。

従来、この種の真空吸着チャックはポーラスセラミック等の多孔質物質、又は、セラミックに多数の小孔を設け、下方より真空ポンプで負圧をかけて吸着させる機構と成っており、一方、半導体ウエハは表面へアルミ等の軟質の金属で形成された配線は露出し若干突出した状態で形成されており、研削盤のチャック上面へ吸着させるために表面に配線を形成した半導体ウエハの全面にテープ等を貼着するか、全面に若干厚さを有して塗付材を塗付して平坦とした側の半導体ウエハをチャックして研削していたが、半導体ウエハそのものが予め薄く製造されているためチャック面へ真空吸着すると、テープ等又は塗付材を均一に且つ平坦に貼着又は塗付しないと負圧のために研削する裏面に凹凸ができて平坦な面と成らず、更に、研削後にテープ又は塗付材を剥がすのに手間暇かかる作業と成っていた。

特に、近年における重合させて多層としたICは配線端子が配線よりも嵩高に突出しているために、分厚く貼着、塗付を繰り返さねばならない等

の諸問題点があった。

〔発明の目的〕

本発明は上記の事由に鑑みて鋭意研鑽の結果、前述の問題点を解消するものであって、導電性の軟質金属で形成された配線を着す付けたりすること無く、作業能率を大幅にアップさせて、半導体ウエハの裏面を平坦精度を維持した状態で研削できる方法を提供するものである。

〔発明の構成〕

基板の表面へ配線及び配線端子を写真蝕刻法によって形成するためのマスク、又は、基板の表面へ形成された配線及び配線端子を写真蝕刻法によってマスクを形成し、該何れかのマスクへ単一光を照射させて光硬化性樹脂板へ配線及び配線端子と同形の回路状の溝孔を貫設すると共に、平面研削盤に備えた真空吸着チャック上面に溝孔へ配線及び配線端子を嵌入し合着させた樹脂板を載置し、前記真空吸着チャックに設けられた真空吸着機構でICの基板を真空吸着する構成である。

〔実施例〕

斯る目的を達成せしめた本発明の半導体ウエハの基板のチャック方法を実施例の図面によって説明する。

第1図は本発明の樹脂板と半導体ウエハを真空吸着チャックへ載置した状態の説明図であり、第2図は要部の拡大断面図であり、第3図はICの拡大斜視図であり、第4図は半導体ウエハ上にICを形成した状態の平面図である。

本発明は、ICの製造工程において、半導体ウエハ1の表面へ数回の製造工程を加えて、導電性の金属による例えばアルミ蒸着させて写真蝕刻法によってアルミ等の金属配線2を形成した後に半導体ウエハの基板1の裏面を更に平面研削してICの極薄化を図るための真空吸着チャックCへのチャック方法であって、前記基板1の表面へ導電性の金属配線2及び配線端子2aを写真蝕刻法によって形成するためのマスク、又は、前記基板1の表面へ形成された導電性の金属配線2及び配線端子2aを写真蝕刻法によってマスクを形成し、該何れかのマスクへ単一光を照射させて平坦な光

硬化性樹脂板3へ前記配線2及び配線端子2aと同形の回路状の溝孔4を稍巾広に貫設すると共に、平面研削盤に備えた有孔物質から成る真空吸着チャックC上面に前記樹脂板2の溝孔4へ前記配線2及び配線端子2aを嵌入し前記基板1を合着させて載置し、前記真空吸着チャックCに設けられた真空吸着機構で前記基板1を真空吸着するものである。

即ち、一般的なICの製造方法は、先ず、シリコンの半導体ウエハの基板1の表面へ一様に酸化膜を形成して、その上から特殊な感光膜を塗り、所要の埋込層のトランジスタ、抵抗、ダイオード、又は、コンデンサ等の形状配置の図形の像を撮ったマスクを形成して、このマスクを用いて基板1の感光膜に対して露光焼付け、現像、その後化学腐食を行なって所要部分の酸化膜を除去する。次に、前記基板1を拡散炉に入れ不純物を浸透拡散させて所要の埋込層を形成する。次いで、エピタキシャル成長法によってエピタキシャル結晶層の形成、気相の化学反応によるシリコンの析

出を利用して基板1上に単結晶層を形成させる。そして、前記エピタキシャル結晶層の表面を酸化させ、写真蝕刻により、所要部分だけ酸化膜を残して所要の機能部分を形成する。更に、この様な工程を数回繰返して、所要機能部分から端子部を露出させて、基板1の全面にアルミ蒸着させて、写真蝕刻法によって必要な部分を残して蝕刻し配線2及び配線端子2aを形成するものであるが、前述の単結晶層を形成させた残りのシリコンウエハの基板1の裏面に不要な厚み部分ができ、その厚み部分を更に研削するために創作したものである。

本発明は前述のアルミ蒸着して写真蝕刻によって所要の配線2及び配線端子2aを形成した時に用いたマスク、又は、前記基板1の表面へ形成された導電性の金属配線2及び配線端子2aを写真蝕刻法によってマスクを形成し、該何れか一方のマスクによって光硬化性樹脂板3へ紫外線等の単一光を照射させて前記配線2及び配線端子2aと同形状の溝孔4を貫設するものである。

るものである。

本発明の樹脂板3の溝孔4へ基板1の表面より若干突出した配線2及び配線端子2aの部分は嵌入されるため負圧及び研削圧力によって配線2が傷つくことなく、然も、樹脂板3と基板1とは密着状態と成り研削圧力で外れたり、ずれたりすることは皆無であり、半導体ウエハ1の裏面は平坦精度を維持した状態でチャックされ、平面研削した後にも負圧を解除するだけで容易に外すことができるものである。

〔発明の効果〕

本発明のチャック方法によってチャックし研削した半導体ウエハの基板は、ICの重要な表面の配線を傷つけることなく、基板の裏面の不要と成った厚み部分を研削し、作業能率を大幅にアップし、更に、ICの極薄化が図れるものであり、極薄化しさせた半導体ウエハは予め設定された大きさにカットし、所定の大きさのICを重合し多層のICを能率良く製造できるものであり、其の貢献性は計り知れないものがあり、極めて有意義な

前記溝孔4は照射する単一光の光源とマスクと光硬化性樹脂板3との間隔を調整することによって、配線2の巾より稍巾広に形成することが可能で、単一光の照射時間を調整することによって任意に蝕刻された溝孔4が貫設されるものであり、微細な加工も写真蝕刻法を用いるために可能となるものである。

真空吸着チャックCは現在各種の平面研削盤に広く使用されているポーラスセラミック等のもので良く、チャックCへ内設された吸引機構によって成形材料である多孔質又は有孔質のチャックC上面でバキューム吸着されるものである。

先ず、本発明は前記樹脂板3へ形成した溝孔4へ基板1に形成した配線2及び配線端子2aを嵌入させて樹脂板3と基板1を合着させて、基板1の裏面を上方向にして樹脂板3をチャックC上面に載置しチャックC下方よりバキューム吸着させると、前記樹脂板3は吸着され、該樹脂板3へ貫設した溝孔4によって基板1の表面に負圧がかかりチャックC側へ樹脂板3と共に確りと吸着させ

効果を奏するものである。

4. 図面の簡単な説明

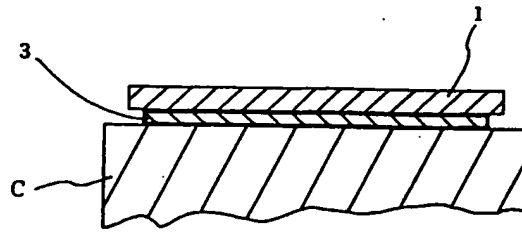
第1図は本発明の樹脂板と半導体ウエハを真空吸着チャックへ載置した状態の説明図である。第2図は要部の拡大断面図である。第3図はICの拡大斜視図である。第4図は半導体ウエハ上にICを形成した状態の平面図である。

C—真空吸着チャック。

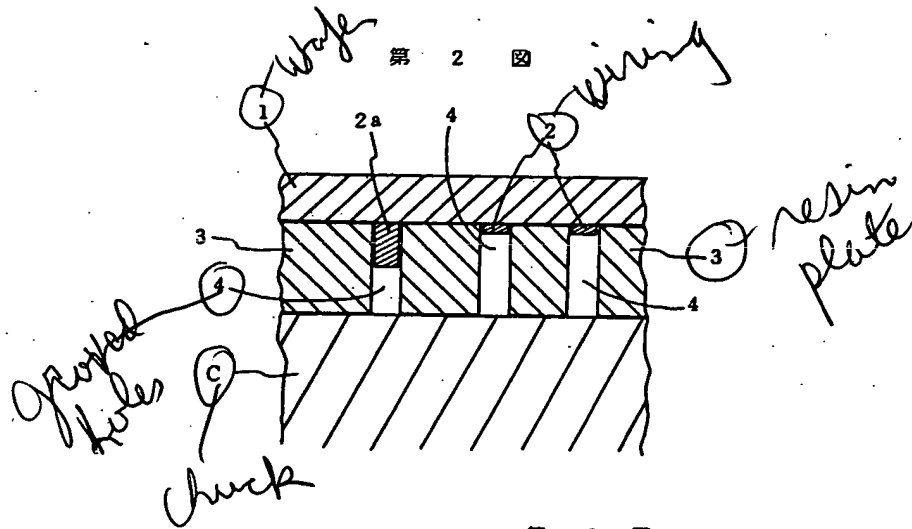
1—半導体ウエハ及び基板、2—配線、2a—配線端子、3—樹脂板、4—溝孔。

特許出願人 芝山機械株式会社
代表取締役 石村吉男

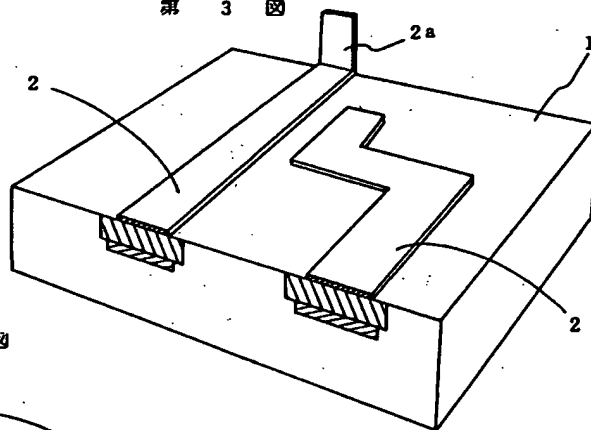
第 1 図



第 2 図



第 3 図



第 4 図

